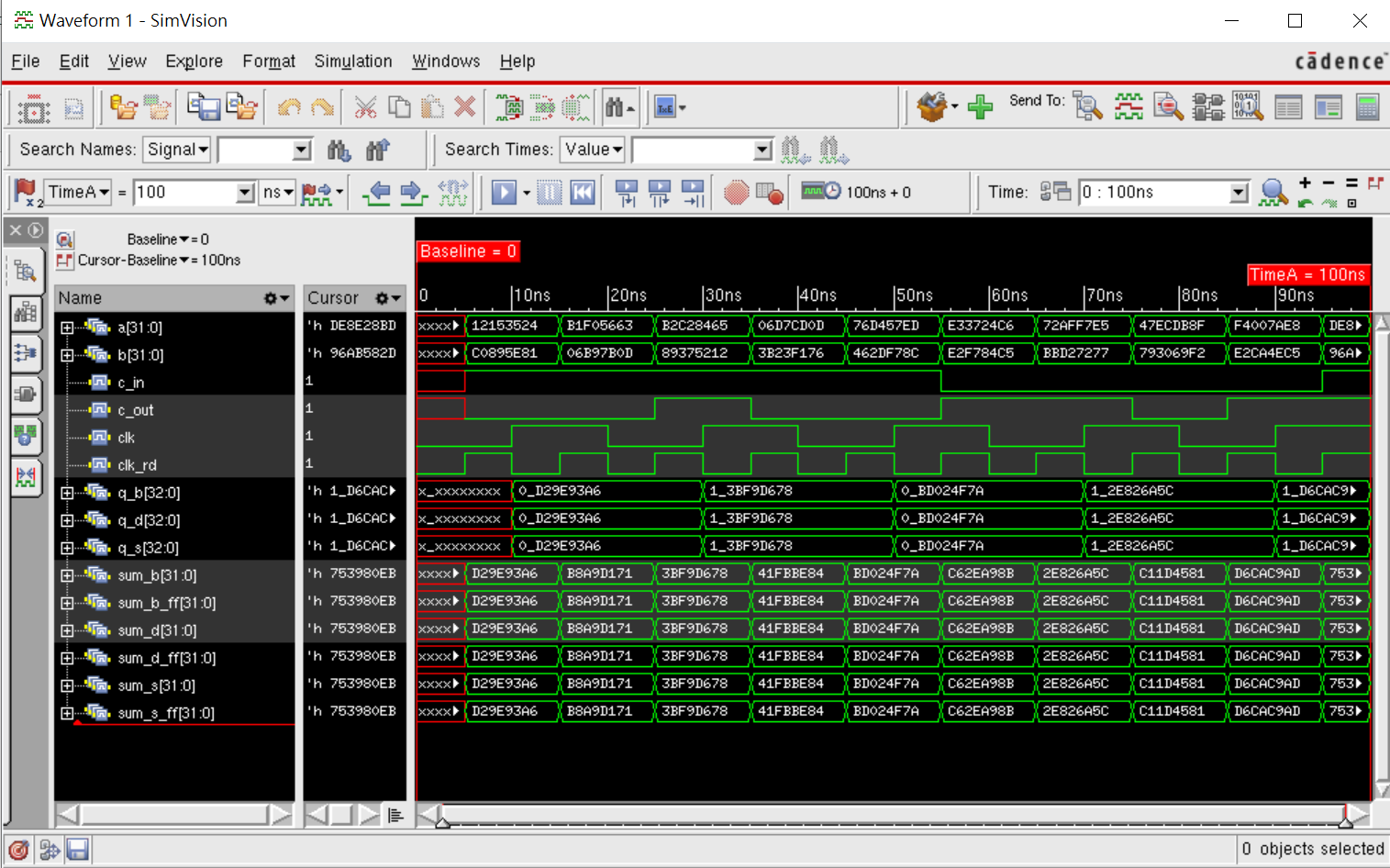
1. **RTL波形圖與解釋**

**clk\_rd**：用來產生random number用

**clk**：每10ns變一次，當posedge時，使D\_FF運作，因此q值改變。

**q**：q\_b(表behavior modeling)、q\_d(dataflow)、q\_s(structure)。最左邊的bit存cout。

**sum**：b/d/s命名法則同q；有”\_ff”表使用了D\_FF的sum。(其實沒差)

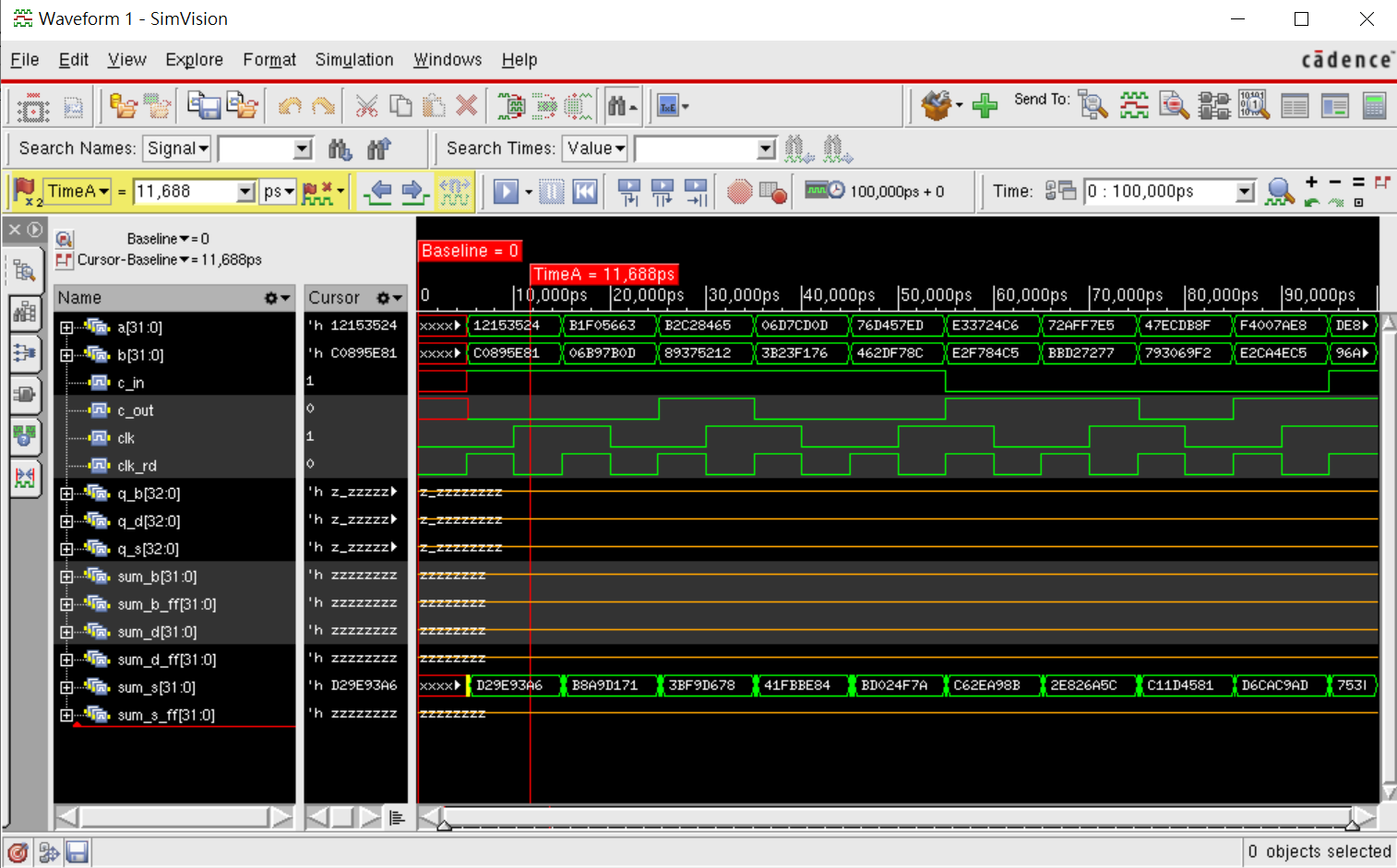


1. **Gate-level波形圖與解釋**

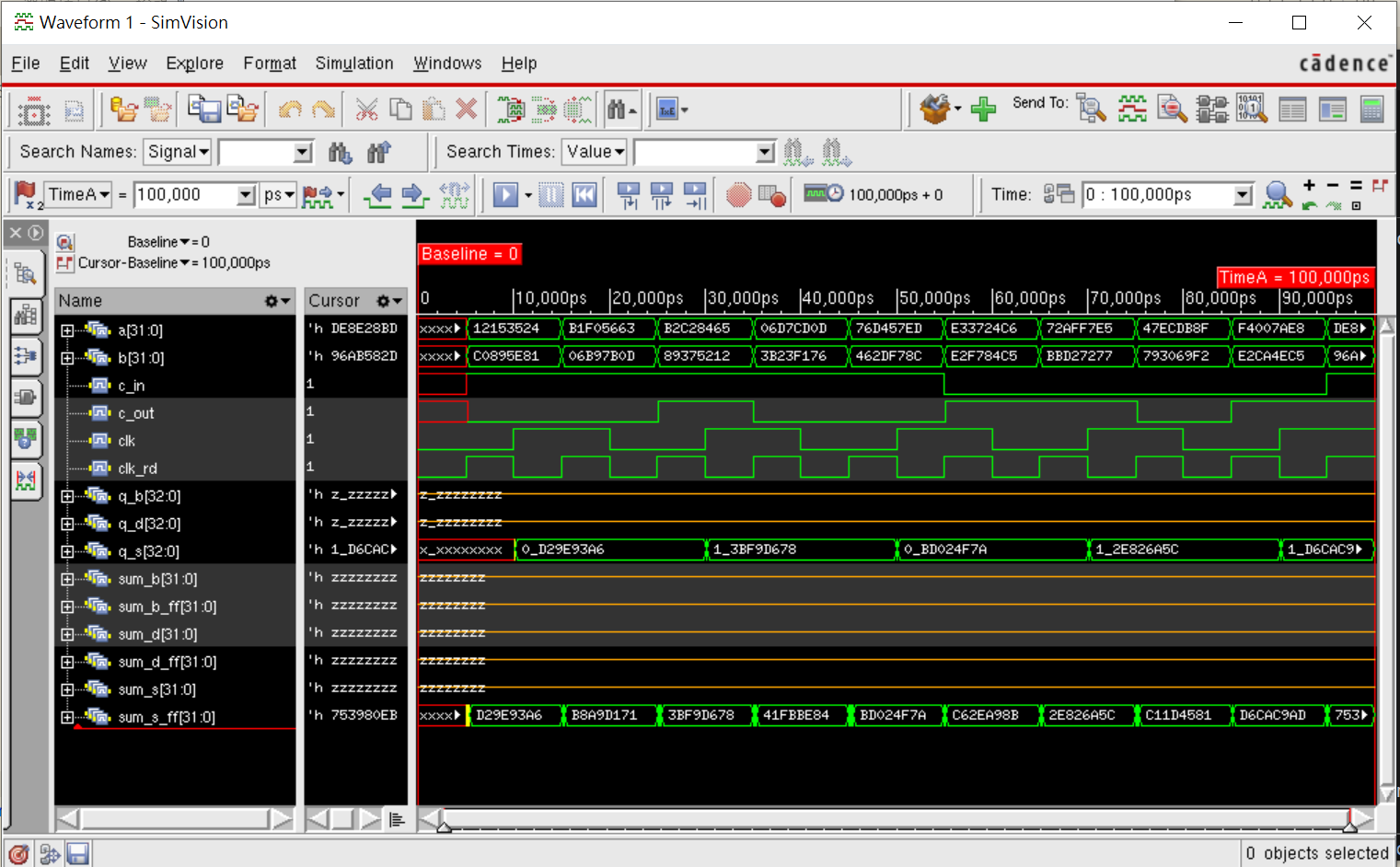
**在Gate-level，我testbench是分開測的，因此會有訊號浮接(z)的發生。**

**大致上跟RTL的波形圖很像，只是多了Delay的部分。**

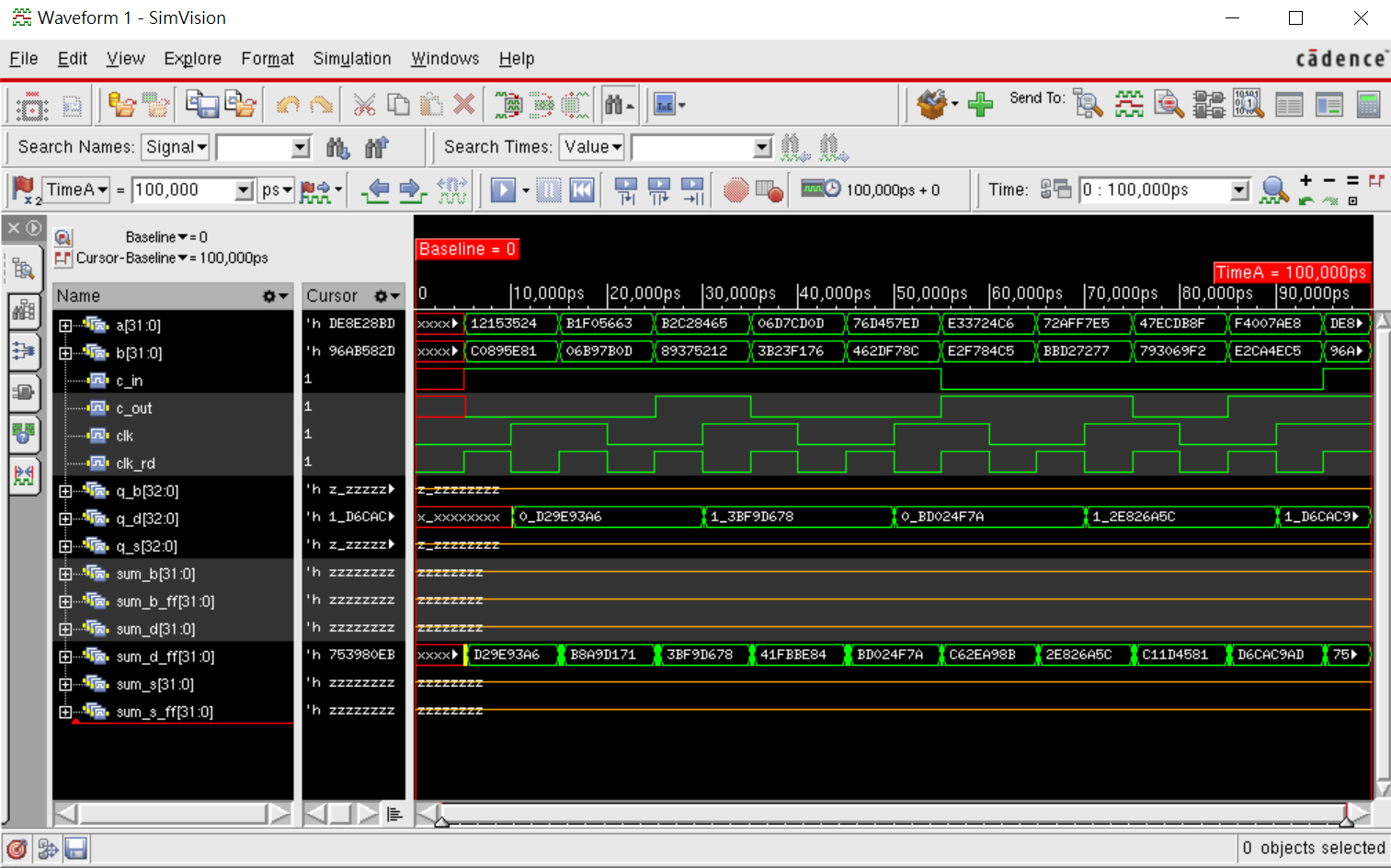
**adder\_structure**：



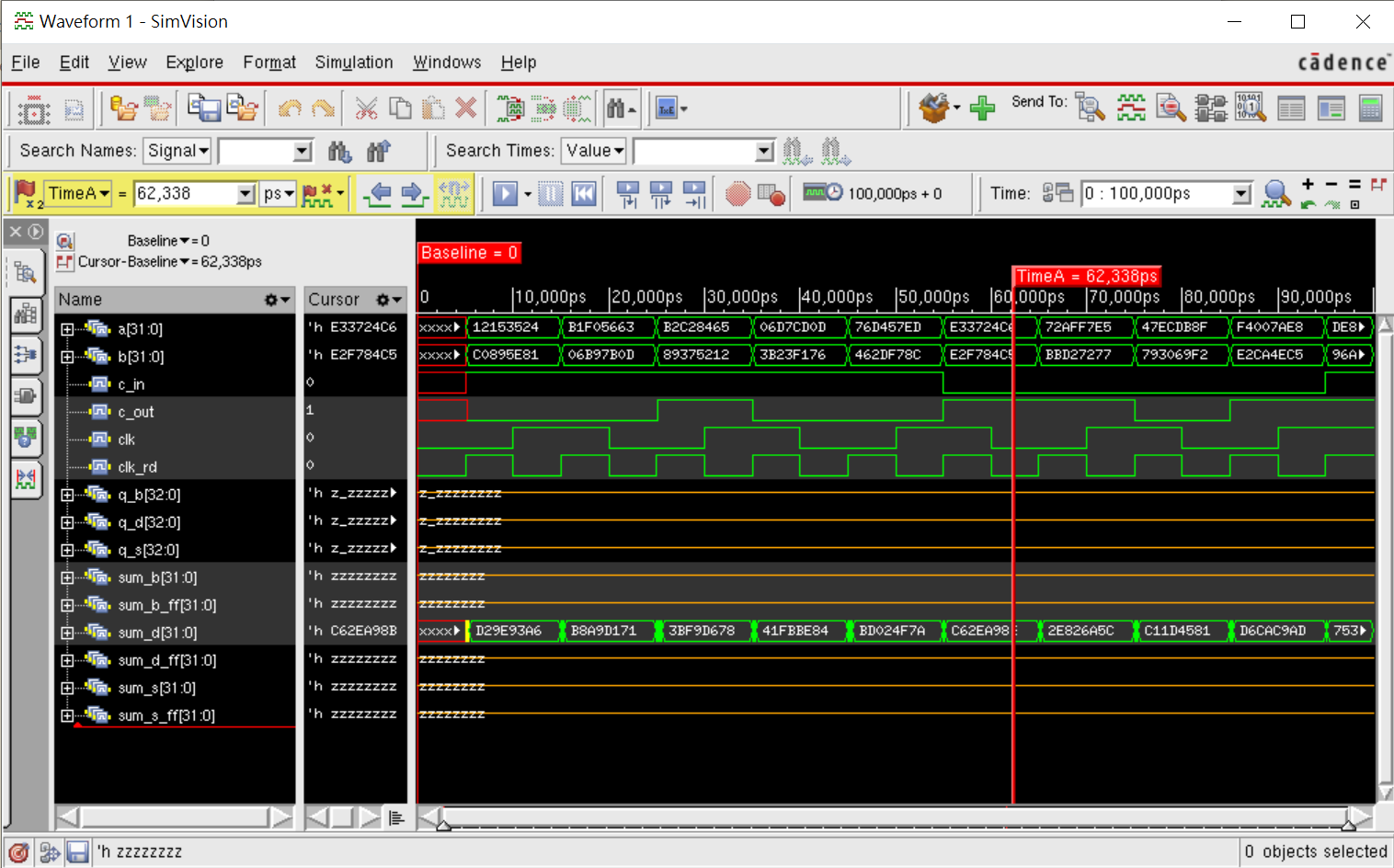
**adder\_structure\_reg**：



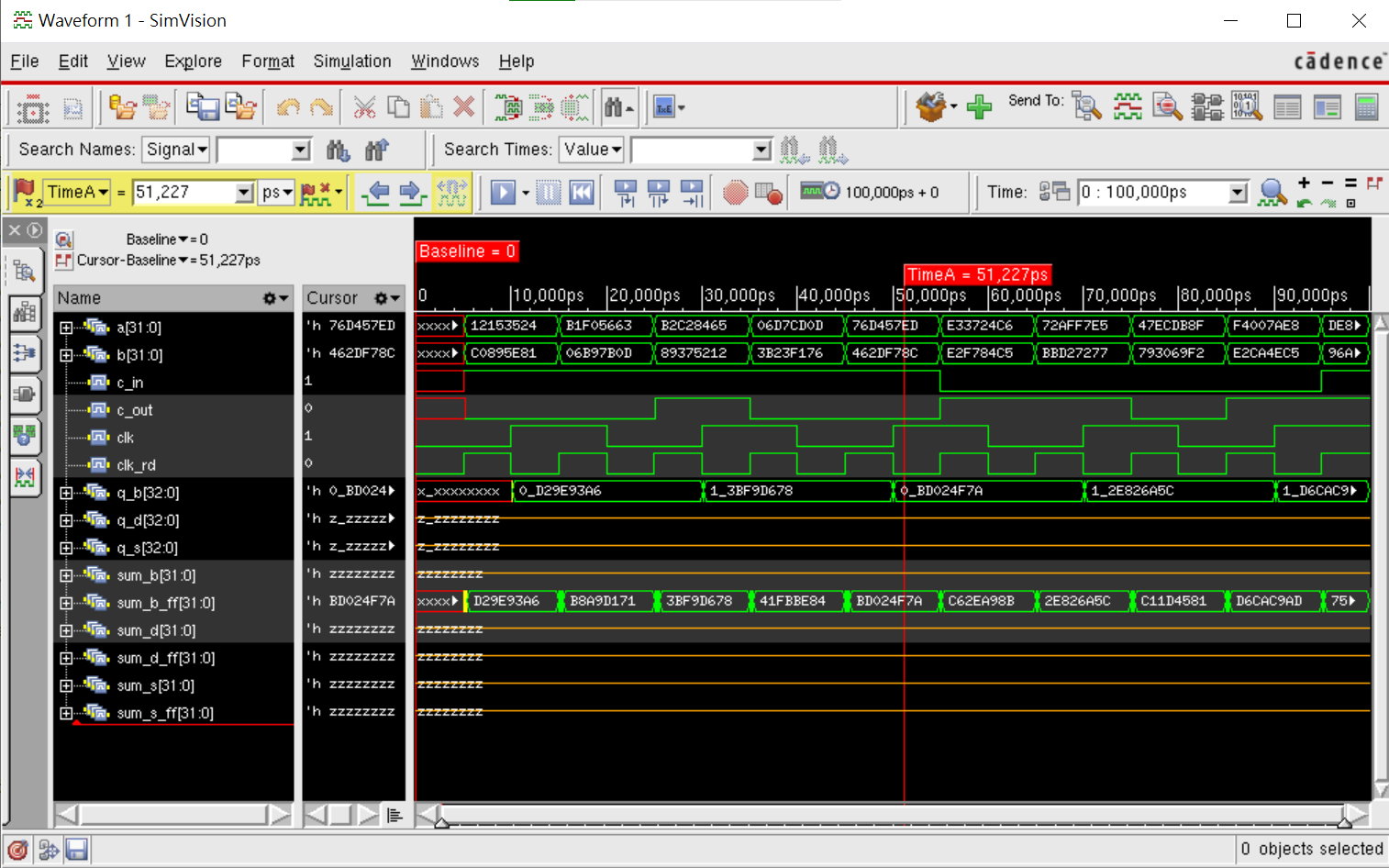
**adder\_dataflow\_reg**：



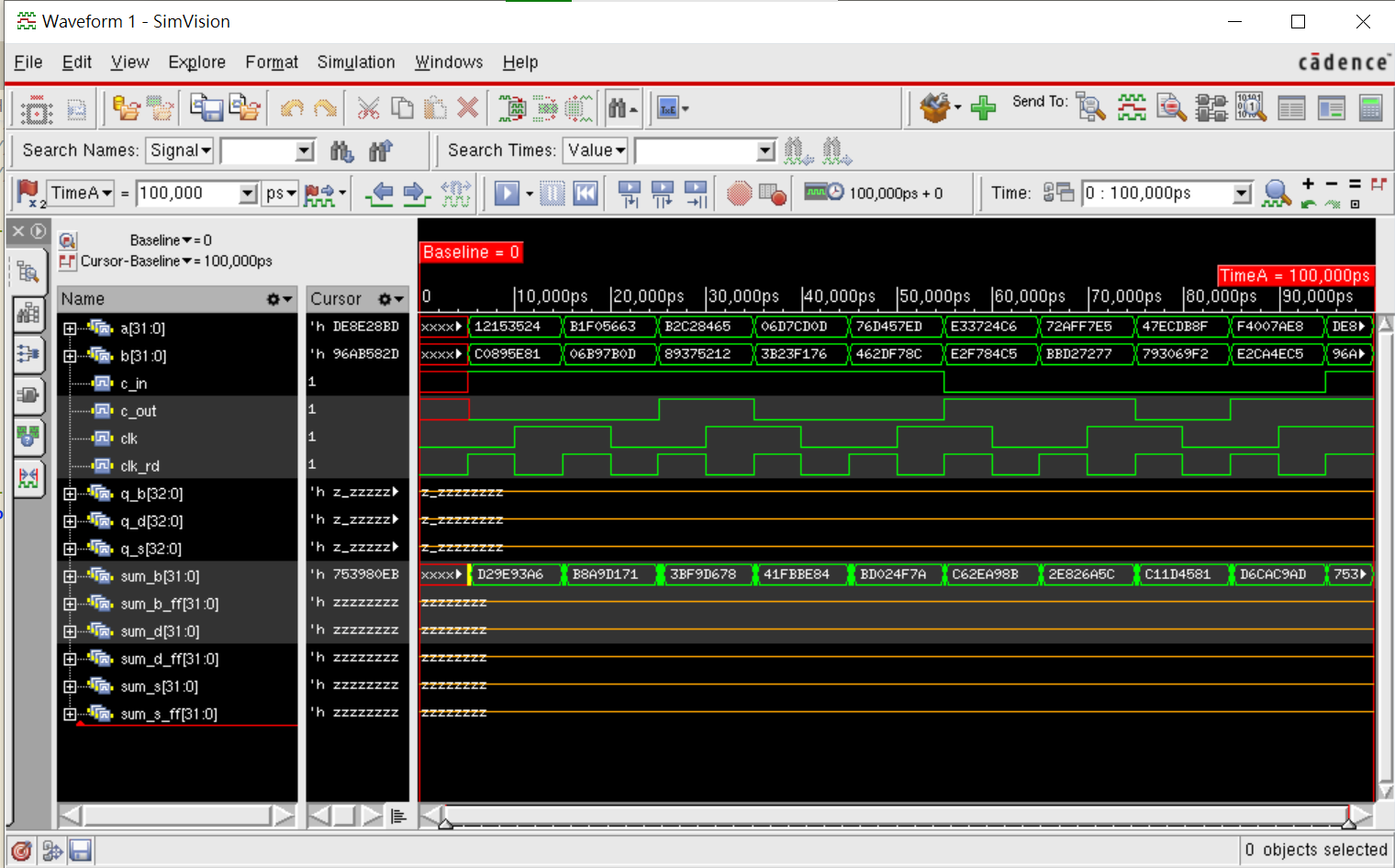
**adder\_dataflow**：



**adder\_behavior\_reg**：



**adder\_behavior**：



1. **Area/Delay/Power比較數據&截圖**

**adder\_structure**：

一張含有 文字 的圖片

自動產生的描述

1. 無D\_FF的話，最小Area為dataflow or behavior modeling。
2. 有D\_FF亦然。
3. 最小Delay time屬structure modeling。
4. Power方面，也是daraflow or behavior modeling較佳。

一張含有 桌 的圖片

自動產生的描述

**adder\_dataflow**：

一張含有 文字 的圖片

自動產生的描述

**adder\_structure\_reg**：

一張含有 文字 的圖片

自動產生的描述

**adder\_behavior**：

一張含有 文字 的圖片

自動產生的描述

**adder\_dataflow\_reg**：

一張含有 文字 的圖片

自動產生的描述

**adder\_behavior\_reg**：

一張含有 文字 的圖片

自動產生的描述

1. **心得**

幾乎沒有加了D\_FF RCA的資源，其電路，是自己用PPT做的，並問了電機系的朋友來審核，才慢慢在Verilog上實作，算卡了一陣子。(文末附上自己畫的4-bit版本～)

第一次在HDL上做到合成階段，在成功合成上下了不少功夫(問一堆人及助教…)。

大致上，問題都有很好地解決，最常用的途徑是問同學。

比較困惑的是，作業檔內，很多小細節的沒有描述地很清楚(如需要都用到FA module嗎？)，

在理解上有時較吃力，也拖了一點時間。

再接再厲。

也這邊感謝助教的各種快速回覆解答！

